

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-133902
 (43)Date of publication of application : 20.05.1997

(51)Int.Cl. G02F 1/025
 G02B 6/13
 G02B 6/12
 H01L 21/3065

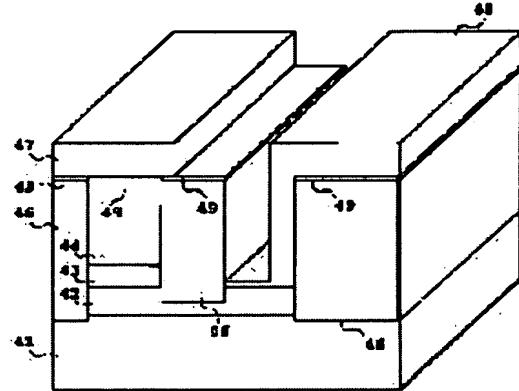
(21)Application number : 07-293174 (71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>
 (22)Date of filing : 10.11.1995 (72)Inventor : YOSHIMOTO NAOTO
 MATSUMOTO SHINICHI
 KONDO SUSUMU
 NOGUCHI ETSUO

(54) WAVEGUIDE TYPE SEMICONDUCTOR OPTICAL ELEMENT AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To make high-speed driving possible, to lower element resistance, to improve element performance and to improve the yield at the time of element formation by equalizing the thickness of the expanded and exposed region of a first clad layer to the thickness of the first clad layer in the striped optical waveguide structure.

SOLUTION: This element has striped optical waveguide structures formed by embedding both sides of a laminated structure successively laminated with the first clad layer 42, a core layer 43, a second clad layer 44 and a conductor layer 45 on a semi-insulating semiconductor substrate 41 by high-resistance semiconductor layers 46. Further, a first electrode 48 arriving at the surface of the high-resistance semiconductor layers 46 is formed in the exposed region of the first clad layer 42 expanded on one side thereof and a second electrode 47 is formed on this contact layer 45. The clad layers are so formed that the thickness of the expanded and exposed region of the first clad layer 42 and the thickness of the first clad layer 42 existing the striped optical waveguide structures are equalled to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平9-133902

(43)公開日 平成9年(1997)5月20日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G02F 1/025			G02F 1/025	
G02B 6/13			G02B 6/12	M
6/12				J
H01L 21/3065			H01L 21/302	A

審査請求 未請求 請求項の数 2 O L (全9頁)

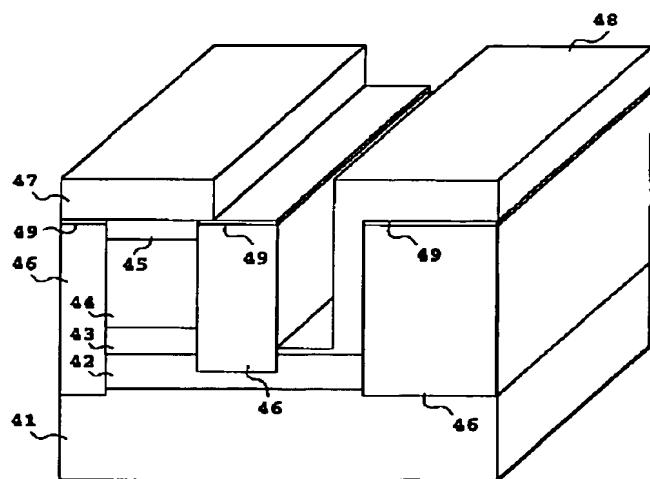
(21)出願番号	特願平7-293174	(71)出願人	000004226 日本電信電話株式会社 東京都新宿区西新宿三丁目19番2号
(22)出願日	平成7年(1995)11月10日	(72)発明者	吉本直人 東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
		(72)発明者	松本信一 東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
		(72)発明者	近藤進 東京都新宿区西新宿三丁目19番2号 日本電信電話株式会社内
		(74)代理人	弁理士 谷義一 (外1名)
			最終頁に続く

(54)【発明の名称】導波路型半導体光素子およびその製造方法

(57)【要約】

【課題】高速駆動が可能であるとともに、素子の電極金属と半導体の接触抵抗を含む素子抵抗を低減し、素子性能をさらに向上させる、および素子作製時の歩留りを向上させた導波路型半導体光素子およびその製造方法を提供する。

【解決手段】同一面上にプラス電極とマイナス電極が並列した構造とし、かつ半絶縁性高抵抗基板を用い、メサストライプ構造部分の第1の導電形を有するバッファ層の厚さと、露出された第1の導電形を有するクラッド層の厚さを等しくし、第2のメサストライプの第2の導電形を有するコンタクト層、第2の導電形を有するクラッド層を逐次ウェットエッチングあるいはドライエッチングとウェットエッチングを併用して、コア層をウェットエッチングで除去し、第1の導電形を有するバッファ層を露出させた凹構造を形成する工程を有する。



【特許請求の範囲】

【請求項1】 第1の導電型を有する半導体よりなる第1のクラッド層と、該第1のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第2の導電型を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第2のクラッド層と、第2の導電型を有しエネルギーギャップが前記第2のクラッド層より狭いコンタクト層とを半絶縁性半導体基板上に順次積層してなる積層構造の両側を、高抵抗半導体層によって埋め込んだストライプ状の光導波路構造を有し、さらに、前記ストライプ状の光導波路の片側方に拡張された前記第1のクラッド層の一部の露出領域に形成され前記高抵抗半導体層の表面に至る第1の電極と、前記コンタクト層に形成された第2の電極を有する導波路型半導体光素子において、

前記第1のクラッド層の拡張された露出した一部領域の厚さが、前記ストライプ状の該光導波路構造中に位置する該第1のクラッド層の厚さに等しいことを特徴とする導波路型半導体光素子。

【請求項2】 半絶縁性半導体基板上に、第1の導電型を有するクラッド層と、該第1のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第2の導電型を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第2のクラッド層と、第2の導電型を有しエネルギーギャップが第2のクラッド層より狭いコンタクト層を、順次積層し、素子基板を形成する第1の工程と、

誘電体薄膜からなるエッチングマスクとドライエッチングとを用い、前記素子基板を加工して、前記第1のクラッド層によって連結された2列のストライプ状のメサを形成する第2の工程と、

前記2列のメサを半絶縁性半導体で埋め込む第3工程と、

前記2列のメサの一方のメサに位置する前記コンタクト層と前記第1のクラッド層とを除去する第4の工程と、前記第1のクラッド層に比して選択的に前記コア層を除去する湿式エッチング液を用いて、前記一方のメサに位置する前記コア層を除去する第5の工程と、前記コア層に至るまで除去された前記一方のメサに位置する前記第1のクラッド層から前記半絶縁性半導体の表面に至る前記第1の電極を形成すると共に、前記2列のメサの内の前記一方のメサでない他方のメサに位置する前記コンタクト層上に前記第2の電極を形成する第6の工程と、を具備していることを特徴とする導波路型半導体光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高速光伝送用の半導体光素子とその製造方法に関するものである。さらに詳細に述べれば、半絶縁性基板を用いた埋め込み形半導

体光素子とその製造方法に関するものである。

【0002】

【従来の技術】 高速の、発光、光変調やスイッチング、受光等を行う場合、素子の電極間のキャパシタンスを低減する必要がある。しかし、従来のpまたはn型基板上に作製された素子では、その構造上、上面に信号用の電極が、下面にアース用の電極が配置されており、その電極間のキャパシタンスは避けられない。また、この構造では、複数の素子を配置するときに、個々のどちらかの片側電極が共通になり、融通性に欠ける。

【0003】 上記の理由から、高速用の光素子には、上面に2電極を配置して電極間のキャパシタンスを低減した電極構造が採用されてきた。このような光素子としては、例えば、超高速導波路形受光素子が挙げられる（参考文献：IEEE Journal of Quantum Electronics Vol.28 p2728）。

【0004】 上面に2電極を持った素子は、フリップチップ実装において有利である。フリップチップ実装は、PINフォトダイオード等すでに使われ、高帯域

20 受信感度特性が得られている（参考文献：例えば、垣次、桂、石塚、林、乗、高知尾、『微小はんだバンプを用いた高速受光モジュールの実装技術』、電子情報通信学会技術研究報告、PP. 17-22, OQE 91-6 3, 1991）。

【0005】 図1は、従来例として高速光素子を説明する斜視図である。図中、11はFeドープ半絶縁性InP基板、12はn-InPバッファ層、13はInGaAs/InAlAsMQWコア層、14はp-InP層、15はp-InGaAsコンタクト層、16はFeドープ半絶縁性InP埋め込み層、17はp側電極、18はn側電極、19はSiO₂膜である。素子長は300μmである。

【0006】 次に、図2～図7で上述の光素子の作製工程について述べる。なお、以下の説明において、形成途中の各層と前記作製完了後の光素子の各層とは正確には同一でないが、その一部が残り、完成後の各層を構成する層要素には同一符号を付して説明および理解の明瞭化を図ることとする。まず、図2に示すように、Feドープ半絶縁性InP基板11上に、n-InPバッファ層12、InGaAs/InAlAsMQWコア層13、p-InPクラッド層14、p-InGaAsコンタクト層15を連続的にMOVPE法によって成長させる。次に、図3に示すように、ストライプを形成するために選択成長マスクとしてSiN_x膜26をバーニングする。

【0007】 次に、図4に示すように、n-InPバッファ層12を一部の領域で残し、その他の領域は、素子間分離を図るために、Feドープ半絶縁性InP基板11に達するまでドライエッチングを行って、ストライプ構造を形成する。

【0008】次に、図5に示すように、SiN_x選択成長マスク26以外の領域をFeドープ半絶縁性InP層16で埋め込む。

【0009】次に、図6に示すように、ストライプ構造周辺で、n-InPバッファ層12を、SiO_x膜19のバターニングにより、Feドープ半絶縁性InP層16を一部の領域を残してn-InPバッファ層12に達するまでドライエッティングで除去し、凹構造を形成する。

【0010】最後に、図7に示すように、ストライプ上のInGaAsコンタクト層15上にP側電極17を形成するとともに、凹構造から半導体上面まで引き出されたn側電極18を形成する。

【0011】しかし、ドライエッティングはエッティング深さの制御性が乏しいため、2度のドライエッティングにより凹構造部のn-InPバッファ層12厚が薄くなってしまい、この部分での抵抗が増大してしまう問題があった。さらに、この部分はn電極とのコンタクトをとる領域であるが、ドライエッティングによって直接表面をたたかれているため、表面層にダメージが導入され、半導体-金属の接触抵抗が増大するという問題もあった。図8に上記作製工程を経て作られた素子の抵抗をヒストグラムで示す。平均で7~8オームと通常の裏面にn電極があるタイプの素子に比べ20%程度の抵抗の増大がみられた。

【0012】

【発明が解決しようとする課題】同一面上にプラス電極とマイナス電極を形成した半導体光素子を半絶縁性高抵抗基板を用いて形成することは、浮遊容量を低減することによって高速駆動が可能であり、またフリップチップ実装に適している。

【0013】本発明の課題は、高速駆動が可能であるとともに、素子の電極金属と半導体の接触抵抗を含む素子抵抗を低減し、素子性能をさらに向上させる、および素子作製時の歩留りを向上させた導波路型半導体光素子およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記課題を解決するために、本発明の導波路型半導体光素子は、第1の導電型を有する半導体よりなる第1のクラッド層と、該第1のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第2の導電型を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第2のクラッド層と、第2の導電型を有しエネルギーギャップが前記第2のクラッド層より狭いコンタクト層とを半絶縁性半導体基板上に順次積層してなる積層構造の両側を、高抵抗半導体層によって埋め込んだストライプ状の光導波路構造を有し、さらに、前記ストライプ状の光導波路の片側方に拡張された前記第1のクラッド層の一部の露出領域に形成され前記高抵抗半導体層の表

面に至る第1の電極と、前記コンタクト層に形成された第2の電極を有する導波路型半導体光素子において、前記第1のクラッド層の拡張され露出した一部領域の厚さが、前記ストライプ状の該光導波路構造中に位置する該第1のクラッド層の厚さに等しいことを特徴とする。

【0015】また、前記課題を解決するために、本発明の導波路型半導体光素子の製造方法は、半絶縁性半導体基板上に、第1の導電型を有するクラッド層と、該第1のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第2の導電型を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第2のクラッド層と、第2の導電型を有しエネルギーギャップが第2のクラッド層より狭いコンタクト層を、順次積層し、素子基板を形成する第1の工程と、誘電体薄膜からなるエッティングマスクとドライエッティングとを用い、前記素子基板を加工して、前記第1のクラッド層によって連結された2列のストライプ状のメサを形成する第2の工程と、前記2列のメサを半絶縁性半導体で埋め込む第3工程と、前記2列のメサの一方のメサに位置する前記コンタクト層と前記第1のクラッド層とを除去する第4の工程と、前記第1のクラッド層に比して選択的に前記コア層を除去する湿式エッティング液を用いて、前記一方のメサに位置する前記コア層を除去する第5の工程と、前記コア層に至るまで除去された前記一方のメサに位置する前記第1のクラッド層から前記半絶縁性半導体の表面に至る前記第1の電極を形成すると共に、前記2列のメサの内の前記一方のメサでない他方のメサに位置する前記コンタクト層上に前記第2の電極を形成する第6の工程と、を具備していることを特徴とする。

【0016】

【発明の実施の形態】本発明による導波路型半導体光素子は、同一面上にプラス電極とマイナス電極が並列した構造であり、かつ半絶縁性高抵抗基板を用いているため、浮遊容量を低減でき高速駆動が可能である。またフリップチップ実装にも適している。

【0017】また、本発明に従う導波路型半導体光素子は、メサストライプ構造部分の第1の導電形を有するバッファ層の厚さと、露出された第1の導電形を有するクラッド層の厚さが等しいため、露出された第1のクラッド層厚が十分である。したがって、従来例によるドライエッティング工程によって凹部分のバッファ層厚が薄くなってしまった場合にくらべ、素子抵抗が低い。

【0018】また、本発明に従う半導体光素子は、第2のメサストライプの第2の導電形を有するコンタクト層、第2の導電形を有するクラッド層を逐次ウェットエッティングあるいはドライエッティングとウェットエッティングを併用して、コア層をウェットエッティングで除去し、第1の導電形を有するバッファ層を露出させた凹構造を形成する工程を有するため、凹構造底面部分のバッファ

層の表面はウェットエッチングによる、コア層とバッファ層のウェットエッチングの選択性により面だしされることになる。したがって、きわめて高い寸法精度と面内平滑性を有することになり、作製歩留りが高くなる。

【0019】また、電極との接触界面となる凹構造底面のバッファ層表面だしをウェットエッチングで行うため、ドライエッティングのような加工ダメージが導入されない。したがって、きわめて良好な半導体-金属界面を形成することが可能となり、接触抵抗の低減が可能となる。

【0020】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0021】図9は本発明にかかる半導体光素子の斜視図である。図中、41はFeドープ半絶縁性InP基板、42はn-InPクラッド層、43はInGaAs/InAlAsMQWコア層、44はp-InP層、45はp-InGaAsコンタクト層、46はFeドープ半絶縁性InP埋め込み層、47はp側電極、48はn側電極、49はSiO₂膜である。

【0022】なお、ここではInGaAs/InAlAs系MQW半導体光素子を例としたが、材料、構造はこれに限定されるものではなく、InGaAlAs/InAlAs系、GaAs/AlGaAs系、InGaAsP/InP系、InGaAs/InGaAsP系の材料、コア層としてMQW構造の他バルク構造でもよい。また、歪超格子構造などを用いてもよい。素子長は30μmである。

【0023】図10ないし図15を用いて本発明の製造方法について説明する。なお、以下の説明において、形成途中の各層と前記作製完了後の光素子の各層とは正確には同一でないが、その一部が残り、完成後の各層を構成する層要素には同一符号を付して説明および理解の明瞭化を図ることとする。

図10に示すように、半絶縁性InP基板41の上有機金属気相成長法(MOVPE)によりn形InPクラッド層(n形不純物濃度 2×10^{14} cm⁻³、厚さ2μm)42、アンドープのInGaAs/InAlAsMQWコア層(厚さ0.19μm)43、p形InPクラッド層(p形不純物濃度 5×10^{14} cm⁻³、厚さ1.5μm)44およびP'InGaAsコンタクト層(p形不純物濃度 2×10^{14} cm⁻³、厚さ0.3μm)45を順次成長する。MQW層43の構成は、InGaAs井戸層は厚さ12nmで0.5%伸張歪み、InAlAs障壁層は厚さ7nmで0.4%の圧縮歪みが導入されている。繰り返し周期は10、エキシトンのピーク波長は1.47μmである。

【0024】次に、図11に示すように、成長面上にSiO₂をスパッタ法により蒸着し、フォトリソグラフィおよびCF₄とH₂の混合ガスによる反応性ドライエッ

チング法によりストライプ状の第1のマスク56を形成する。この場合、光素子の横モードが単一となるようにストライプの幅を2μmとする。

【0025】次に、図12に示すように、CF₄とH₂の混合ガスによる反応性ドライエッティング法により、n形InPクラッド層42の途中までエッチングを行い、第1および第2のメサストライプ101、102を形成する。次に、再度、第2のSiO₂を全面にわたり付け、通常のホトリソグラフィおよびCF₄とH₂の混合ガスによる反応性ドライエッティング法により、メサ上部、メサ側壁、および第1と第2のメサストライプ101、102の間に位置するn形InPクラッド層103上に第2のSiO₂マスクを形成する。次に、CF₄とH₂の混合ガスによる反応性ドライエッティング法により、SiO₂マスクで覆われていない領域を半絶縁性InP基板までエッチングを行う。その後、第2のSiO₂膜を除去し、第1のSiO₂マスク56を露出させる。

【0026】次に、図13に示すように、SiO₂マスク56を選択成長用マスクとして、メサ側壁、および露出したn形クラッド層103と露出した半絶縁性半導体表面をすべてMOVPE法により鉄をドープした半絶縁性InP結晶46によって埋め込む。

【0027】次に、図14に示すように、第2のストライプ上にSiO₂膜49の窓があくようにフォトリソグラフィにてパターニングする。続いて、CF₄とH₂の混合ガスによる反応性ドライエッティング法によってp'形InGaAsコンタクト層45、p-InPクラッド層44とInGaAs/InAlAsMQW層43の途中までエッチングして、続いて、硫酸と過酸化水素水の混合液によるウェットエッチングによって、MQW層43の残りをエッチングして、凹構造を形成する。

【0028】なお、I-InPクラッド層42とMQW層43の間で正確にエッチングを停止させ、かつその面が平滑にするため、MQW層43はウェットエッチングによってエッティング工程を終わる必要がある。しかし、それ以外の層はドライエッティングでもウェットエッティングでもその方法は問わない。極端な例として、すべてウェットエッティングによってでもかまわない。

【0029】次に、図15に示すとおり、SiO₂膜49を窓開けした後、P'形InGaAsコンタクト層45の上にAuZnNiからなるp側電極47を、凹構造底面のn形InPクラッド層103の上にAuGeNiからなるn側電極48を、それぞれリフトオフ法と蒸着法によって付け、420℃で約20秒間合金処理を行う。その後、ワイヤボンディング用に金属電極としてAuを付ける。

【0030】P側の電極47の大きさはストライプ部で300μm×2μm、バット部で40μm×30μm。n側電極48の大きさはストライプ部で5μm×300

μm 、バット部で $40\mu\text{m} \times 40\mu\text{m}$ である。

【0031】なお、n-InPクラッド層42とMQW層43の間で正確にエッチングを停止させ、かつその面が平滑にするためには、両層間のウェットエッチングに対する選択性がなければならない。もし、n-InPクラッド層42とMQW層43の間に十分な選択性が無かった場合、図16に示すように、n-InPクラッド層42とMQW層43との間に十分選択性のあるエッチングストップ層63を入れてもよい。たとえば、InGaAs/InAlAs MQW43は、成長条件によっては、n-InPクラッド層42とあまり選択性がとれない場合がある。この場合、エッチングストップ層としてInGaAsP(1.3μm組成)等を使用するといい。

【0032】次に、前述の実施例の半導体光素子の動作について述べる。図17に示すとおり、素子の抵抗は平均で $3 \sim 5\Omega$ であり、ドライエッチングを用いた従来例と比べて、 $1/3$ 程度低減している。素子容量は $0.3 \sim 0.6\text{pF}$ と通常の半導体光素子に比較して約 $1/2 \sim 1/3$ になった。これは半絶縁性基板を用い、メサストライプをはさんで片側にp形電極他方の側にn形電極を形成したため、電気抵間の容量がほぼコア層とp形クラッド層との接合容量だけになったためと考えられる。

【0033】図18に半導体光素子の消光特性を示す。半導体光素子は印加電圧 2V でTE偏光において 25dB 、TM偏光において 22dB の消光特性を得た。

【0034】また、図19に示すとおりこの半導体光素子の 3dB 変調帯域は 50GHz あり、超高速変調が可能であった。

【0035】なお、ここでは半導体光素子について述べたが、この半絶縁性基板上に形成され、かつ半絶縁性埋め込み層を有し、pおよびn側電極がともに半導体表面上に並んで配置される光素子、すなわち半導体レーザや半導体受光素子についても、本発明の構造および作製方法は容易に適用できる。

【0036】

【発明の効果】以上説明したように、本発明によれば半導体光素子を半絶縁性半導体基板の上に歩留り良く形成でき、プラス電極とマイナス電極を同一面側から取り出すことで、高速な変調信号が得られる。さらに、接触抵抗を含む素子抵抗の低い半導体光素子をつくることができる。

【図面の簡単な説明】

【図1】従来例を説明する高速変動体変調器の斜視図である。

【図2】従来例の光素子の作製工程を説明する断面図である。

【図3】従来例の光素子の作製工程を説明する断面図である。

【図4】従来例の光素子の作製工程を説明する断面図である。

【図5】従来例の光素子の作製工程を説明する断面図である。

【図6】従来例の光素子の作製工程を説明する断面図である。

【図7】従来例の光素子の作製工程を説明する断面図である。

【図8】従来例における高速光素子の素子抵抗のヒストグラムを示す図である。

【図9】本発明の実施例を説明する高速半導体光素子の斜視図である。

【図10】本発明実施例の光素子の作製工程を説明する断面図である。

【図11】本発明実施例の光素子の作製工程を説明する断面図である。

【図12】本発明実施例の光素子の作製工程を説明する断面図である。

【図13】本発明実施例の光素子の作製工程を説明する断面図である。

【図14】本発明実施例の光素子の作製工程を説明する断面図である。

【図15】本発明実施例の光素子の作製工程を説明する断面図である。

【図16】本発明の実施例でエッチングストップ層が付加された構造を説明する断面図である。

【図17】本発明の実施例における高速光素子の素子抵抗のヒストグラムを示す図である。

【図18】本発明の実施例における高速光素子の消光特性を示す図である。

【図19】本発明の実施例における高速光素子の高周波応答特性を示す図である。

【符号の説明】

41 F e ドープ半絶縁性 InP 基板

42 n-InP クラッド層

43 InGaAs/InAlAs MQW コア層

44 p-InP クラッド層

45 p-InGaAs コンタクト層

46 F e ドープ半絶縁性 InP 埋め込み層

47 p 側電極

48 n 側電極

49 SiO₂ 膜

56 SiO₂ 膜

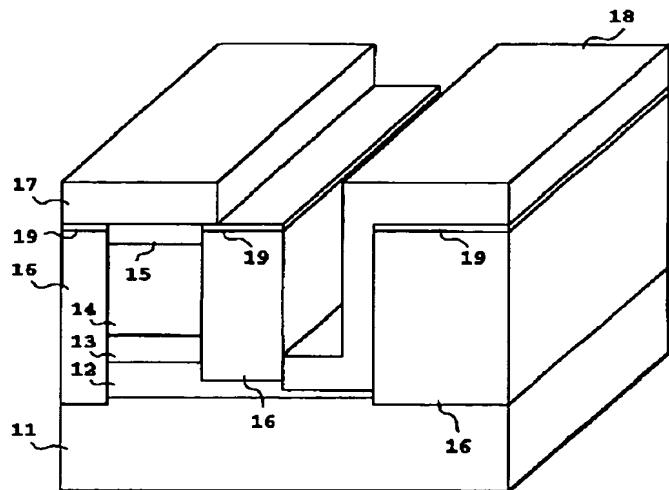
63 エッチングストップ層

101 第1のメサストライプ

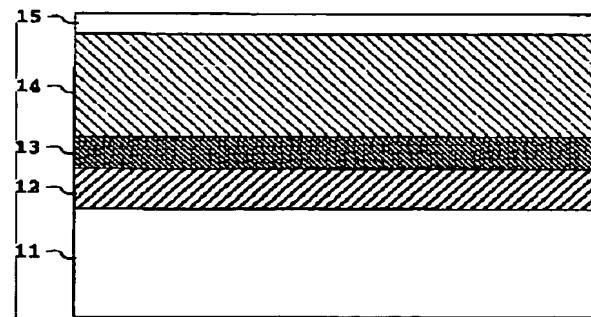
102 第2のメサストライプ

103 第1と第2のメサストライプの間に位置するn型InP クラッド層

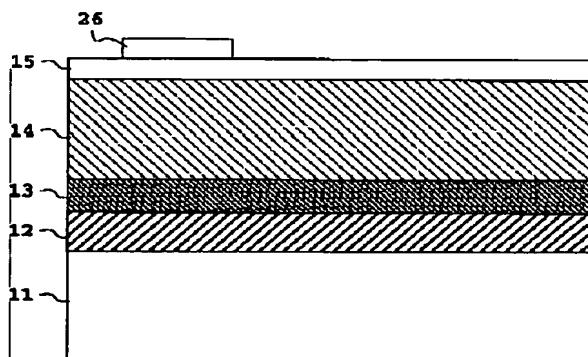
【図 1】



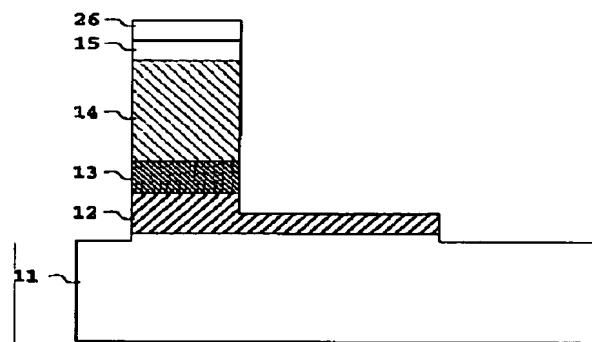
【図 2】



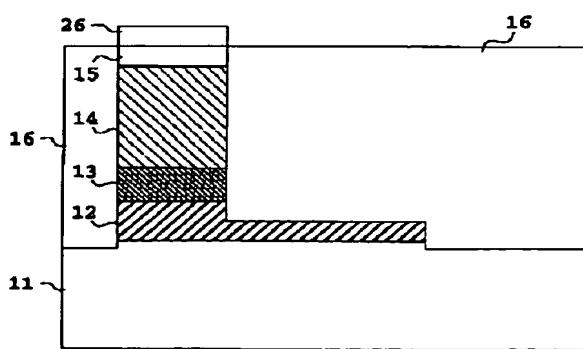
【図 3】



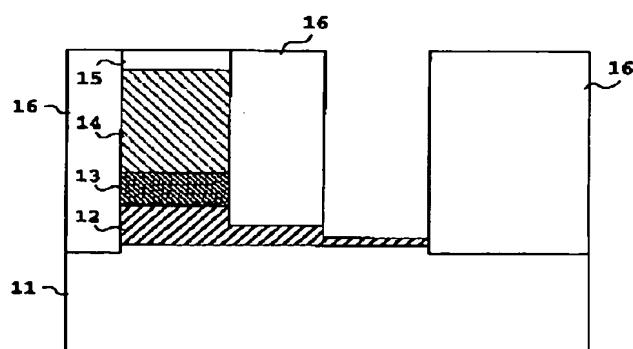
【図 4】



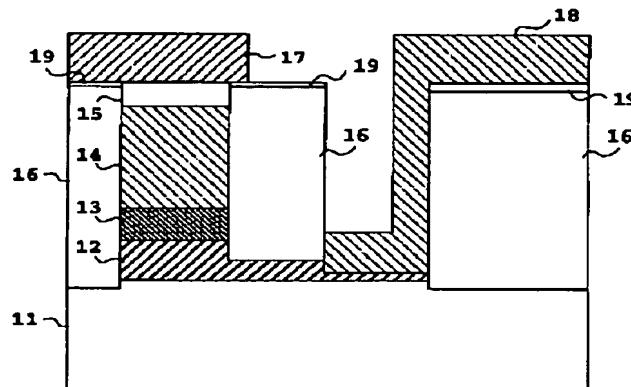
【図 5】



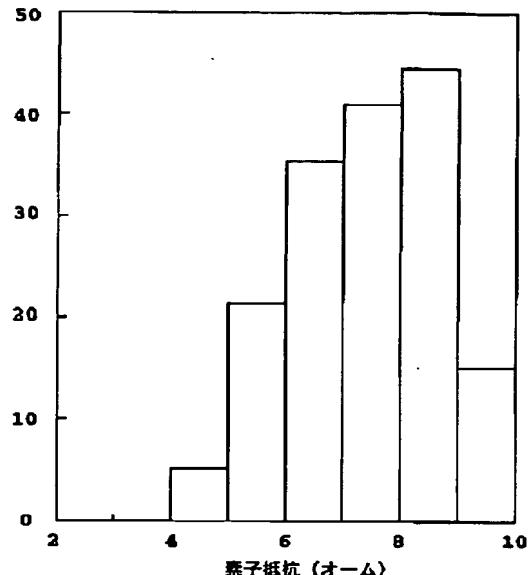
【図 6】



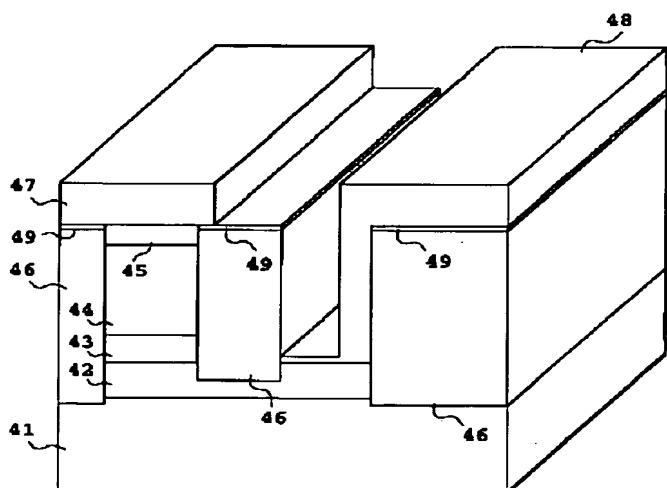
[图 7]



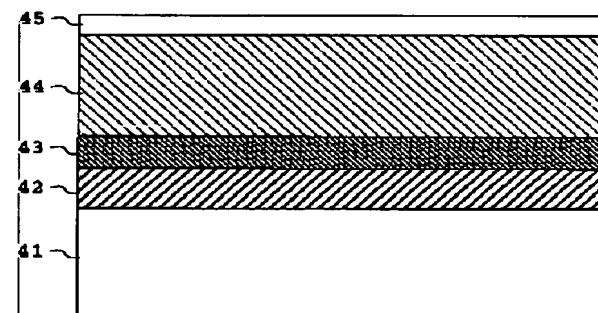
[図 8]



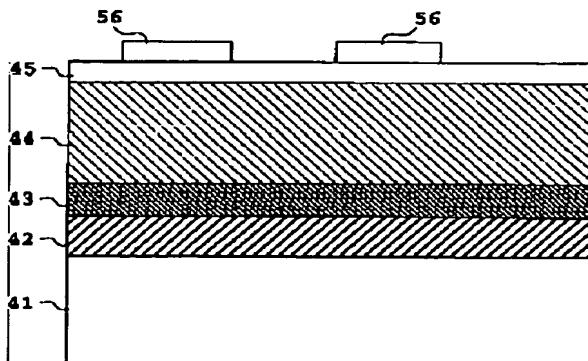
[図9]



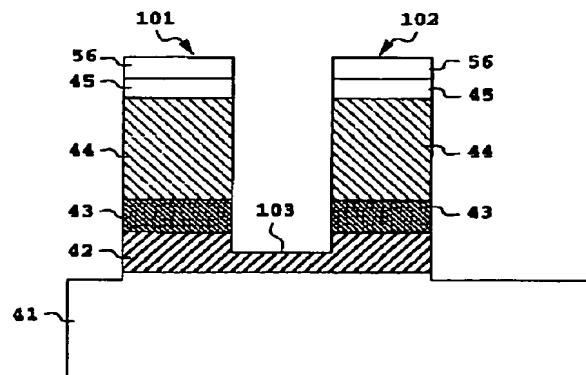
【四 10】



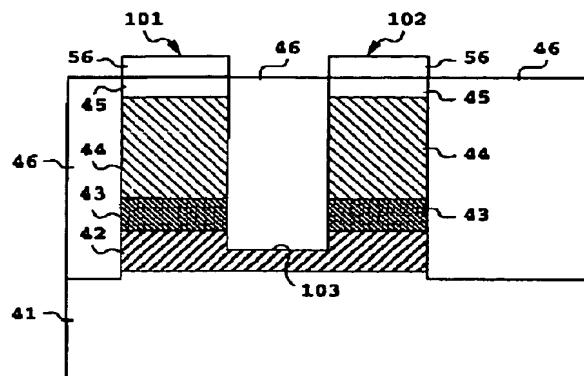
【四 1 1】



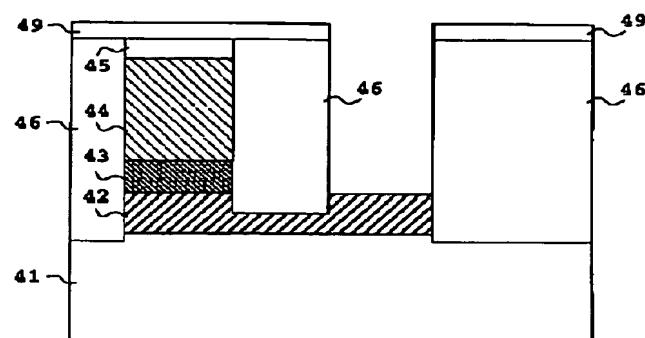
[図12]



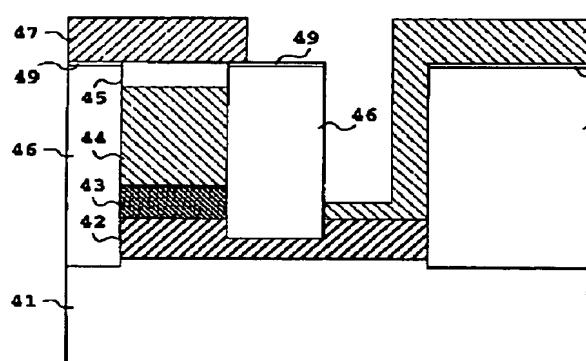
【図 1 3】



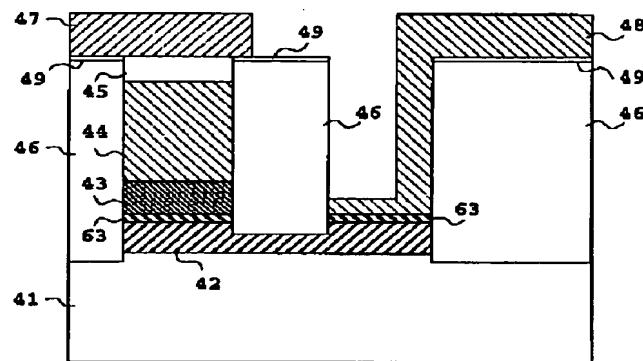
【図 1 4】



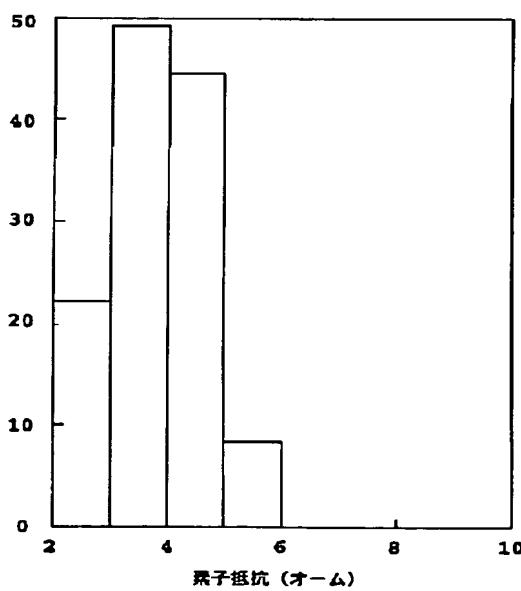
【図 1 5】



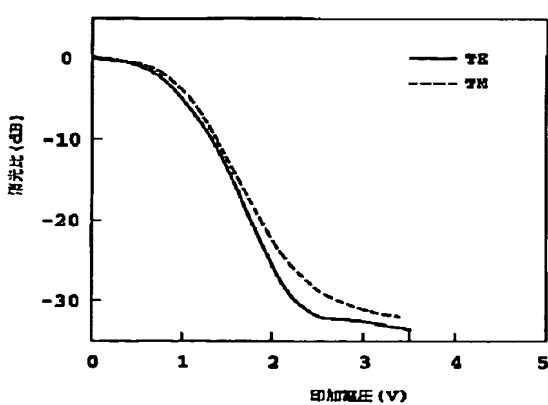
【図 1 6】



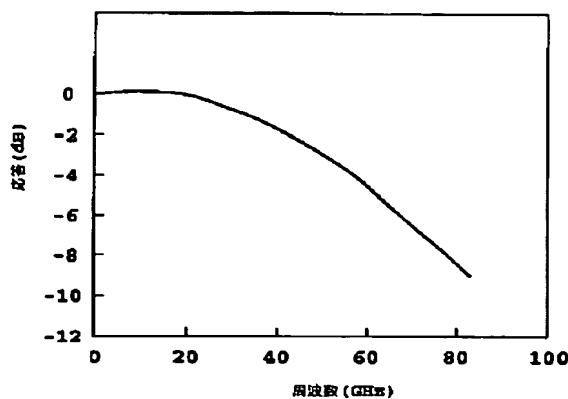
【図 1 7】



【図 1 8】



【図 19】



フロントページの続き

(72)発明者 野口 悅男

東京都新宿区西新宿三丁目 19 番 2 号 日

本電信電話株式会社内